

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 23/50	(11) 공개번호 1999-0065599
(21) 출원번호 10-1998-0000969	(43) 공개일자 1999년 08월 05일
(22) 출원일자 1998년 01월 15일	
(71) 출원인 엘지반도체 주식회사, 구본준 대한민국 361480 충청북도 청주시 흥덕구 향정동 1번지	
(72) 발명자 김동유 대한민국 360-025 충청북도 청주시 상당구 정하동 96번지	
(74) 대리인 박장원	
(77) 심사청구 없음	
(54) 출원명 반도체 패키지와 그 제조방법 및 그 적층방법	

요약

본 발명은 반도체 패키지와 그 제조방법 및 그 적층방법에 관한 것으로, 종래에는 패키지에서 발생되는 열이 하나의 서브스트레이트만을 통하여 외부로 방출되도록 되어 패키지의 열방출효과가 미흡하게 되는 것은 물론, 비밀피의 서브스트레이트에 설계된 파인패턴(Fine Patten)으로 인해 소음에 악하다는 문제점이 있었던 바, 본 발명에서는 반도체 칩과 전기적으로 연결되는 인쇄회로기판에 다수개의 비아홀이 형성되고, 그 비아홀의 연통되는 슬더홀이 각각 형성되는 상, 하부 서브스트레이트가 상기 인쇄회로기판의 상, 하면에 각각 부착되며, 그 서브스트레이트중에서 어느 하나의 서브스트레이트의 슬더홀에 외부단자용 슬더볼을 부착하여 구성함으로써, 패키지의 열방출효과가 현저하게 향상되는 것은 물론 소음에도 강하게 되고, 또한 적층하더라도 경박단소한 패키지를 실현할 수 있게 되는 효과가 있다.

대표도

도2

명세서**도면의 간단한 설명**

도 1은 종래 버텀리드형 패키지의 일례를 보인 종단면도.

도 2은 본 발명에 의한 버텀리드형 패키지의 일실시예를 보인 종단면도.

도 3a 내지 도 3f는 본 발명에 의한 버텀리드형 패키지의 일실시예에 대한 제조과정을 보인 종단면도.

도 4a는 본 발명에 의한 버텀리드형 패키지의 일실시예에 대한 평면도.

도 4b는 도 4a의 'A'부를 상세히 보인 종단면도.

도 5a 내지 도 5c는 본 발명에 의한 버텀리드형 패키지의 일실시예에 대한 적층과정을 보인 종단면도.

도 6은 도 5c의 'B'부를 상세히 보인 종단면도.

도 7은 본 발명에 의한 버텀리드형 패키지의 다른 실시예를 보인 종단면도.

도 8a 내지 도 8e는 본 발명에 의한 버텀리드형 패키지의 다른 실시예에 대한 제조과정을 보인 종단면도.

도 9a는 본 발명에 의한 버텀리드형 패키지의 다른 실시예에 대한 저연도.

도 9b는 도 9a의 'C'부를 상세히 보인 종단면도.

도 10a 내지 도 10c는 본 발명에 의한 버텀리드형 패키지의 다른 실시예에 대한 적층과정을 보인 종단면도.

도 11은 도 10c의 'D'부를 상세히 보인 종단면도.

도면의 주요 부분에 대한 부호의 설명

4 : 반도체 칩 5 : 와이어

11,21 : 하부 서브스트레이트 11a,21a : 슬더홀

13,23 : 인쇄회로기판 15.25 : 상부 서브스트레이트

15a,25a : 슬더홀 16,26A,26B : 슬너패드

17,27 : 슬더볼 18,28 : 슬더 마스크

19,29 : 슬더 패이스트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 열방출을 향상시킨 버텀리드형 패키지에 관한 것으로, 특히 고밀도, 고집적화, 고속처리에 적합한 반도체 패키지와 그 제조방법 및 그 적층방법에 관한 것이다.

일반적으로 고밀도, 고집적화 및 고속처리에 적합한 패키지로는 버텀리드형 패키지(이하, 비엘피로 약칭함)가 주로 사용되고 있는데, 이러한 비엘피 패키지는 동작중에 발생되는 열을 얼마만큼 방열시킬 수 있느냐가 패키지의 신뢰성을 가능하는 지표가 되고 있다.

도 1은 종래 비엘피의 일례를 보인 종단면도로서 이에 도시된 바와 같이, 종래의 비엘피는 금속판인 서브스트레이트(1) 상면에 접착제(2)에 의해 인쇄회로기판(3)이 부착되고, 그 인쇄회로기판(3)의 중앙에 형성된 캐비티(미부호)에 반도체 칩(4)이 부착되며, 그 반도체 칩(4)과 인쇄회로기판(3)의 패드(미도시)가 다수개의 와이어(5)로 전기적 연결되고, 그 와이어(5)의 본당부위를 외부의 충격으로부터 보호하기 위하여 봉지부(6)가 형성되어, 상기 인쇄회로기판(3)의 상면에는 다수개의 외부단자용 슬더볼(7)이 부착되어 있다.

상기와 같은 종래의 비엘피에 있어서는, 반도체 칩(4)에서 발생되는 열이 하나의 서브스트레이트(1)만을 통해 열전도되어 외부로 방출되는 것이다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래의 비엘피에 있어서는, 패키지에서 발생되는 열이 하나의 서브스트레이트(1)만을 통하여 외부로 방출되도록 되어 패키지의 열방출효과가 미흡하다는 문제점이 있었다.

또한, 비엘피의 서브스트레이트(1)에 설계된 파인패턴(Fine Patten)으로 인해 소음에 악하여 패키지의 신뢰성이 저하되는 문제점도 있었다.

따라서, 본 발명은 상기와 같은 종래의 비엘피가 가지는 문제점을 감안하여 안출한 것으로, 패키지의 열방출효과가 현저하게 향상되는 것은 물론 소음에 강한 반도체 패키지를 제공하려는데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 본 발명의 목적을 달성하기 위하여, 반도체 칩과 전기적으로 연결되는 인쇄회로기판에 다수개의 비아홀이 형성되고, 그 비아홀의 연동되는 슬더홀이 각각 형성되는 상, 하부 서브스트레이트가 상기 인쇄회로기판의 상, 하면에 각각 부착되며, 그 서브스트레이트 중에서 어느 하나의 서브스트레이트의 슬더홀에 외부단자용 슬더볼을 부착하는 반도체 패키지가 제공된다.

이하, 본 발명에 의한 반도체 패키지를 첨부도면에 도시된 일실시예에 의거하여 상세하게 설명한다.

도 2은 본 발명에 의한 버텀리드형 패키지의 일실시예를 보인 종단면도이고, 도 3a 내지 도 3f는 본 발명에 의한 버텀리드형 패키지의 일실시예에 대한 제조과정을 보인 종단면도이며, 도 4a는 본 발명에 의한 버텀리드형 패키지의 일실시예에 대한 평면도이고, 도 4b는 도 4a의 'A'부를 상세히 보인 종단면도이며, 도 5a 내지 도 5c는 본 발명에 의한 버텀리드형 패키지의 일실시예에 대한 적층과정을 보인 종단면도이고, 도 6은 도 5c의 'B'부를 상세히 보인 종단면도이다.

이에 도시된 바와 같이 본 발명에 의한 비엘피(10)는, 금속판의 하부 서브스트레이트(11)와, 그 하부 서브스트레이트(11)의 상면에 접착제(12)로 부착되며 다수개의 비아홀(13a)이 형성된 인쇄회로기판(13)과, 그 인쇄회로기판(13)의 상면에 접착제(14)로 부착됨은 물론 각 비아홀(13a)과 연통되는 슬더홀(15a)이 다수개 형성되는 상부 서브스트레이트(15)와, 상기 인쇄회로기판(13)의 각 비아홀(13a) 상단에 복개되는 슬더패드(16)와, 그 슬더패드(16)의 상면에 부착되는 외부단자용 슬더볼(17)과, 상기 인쇄회로기판(13)의 중앙부에 삽입되어 하부 서브스트레이트(11)의 상면에 부착되는 반도체 칩(4)과, 그 반도체 칩(4)과 인쇄회로기판(13)을 전기적으로 연결되는 와이어(5)와, 그 와이어(5)를 보호하도록 둘러는 봉지부(6)를 포함하여 구성된다.

도면중 종래와 동일한 부분에 대하여는 동일한 부호를 부여하였다.

도면중 미설명 부호인 18은 슬더 마스크이다.

상기와 같은 비엘피를 제조하는 과정은 도 3a 내지 도 3f에 도시된 바와 같다.

상기 인쇄회로기판(13)의 적정부위에 다수개의 비아홀(13a)을 형성하는 단계와, 그 인쇄회로기판(13)의 상면에 열방출용 상부 서브스트레이트(15)를 부착시키는 단계와, 상기 인쇄회로기판(13)의 각 비아홀(13a)에 대향되는 상부 서브스트레이트(15)의 적정부위를 부식시켜 슬더홀(15a)를 형성하는 단계와, 그 각 슬더홀(15a)의 내주면에 슬더 마스크(18)를 입힌 후에 비아홀(13a)을 오픈시키는 단계와, 상기 인쇄회로기판(13)의 중앙부에 캐비티(미부호)를 형성함과 아울러 그 저면에 하부 서브스트레이트(11)를 부착하는 단계와, 상기 인쇄회로기판(13)의 칩(4)을 부착함과 아울러 와이어(5)로 그 칩(4)과 인쇄회로기판(13)을 연결시키는 단계와, 그 와이어(5)를 둘러하여 봉지부(6)를 형성하는 단계와, 상기 인쇄회로기판(13)의 각 비아홀(13a) 상단에 슬더패드(16)를 덮고 슬더볼(17)을 부착하는 단계로 수행한다.

상기와 같은 과정을 통해 제작되는 단품의 비엘피를 적층하는 과정은 도 5a 내지 도 5c에 도시된 바와 같다.

먼저, 상부 서브스트레이트(15)의 숀더홀(15a)과 숀더볼(17)이 각각 부착된 제1 패키지(10A)를 뒤집어 그 패키지(10B)의 하부 서브스트레이트(11)에 숀더홀(11a)를 형성하고, 그 제1 패키지(10A)의 숀더홀(11a) 상단에 숀더 패이스트(19)를 인쇄하는 한편, 상기 상부 서브스트레이트(15)의 숀더홀(15a)에 숀더볼(17)이 각각 부착된 제2 패키지(10B)를 뒤집어 그 숀더볼(17)이 상기 제1 패키지(10A)의 패이스트(19) 상면에 얹히도록 정열한 이후에, 통상적인 리플로우 공정을 통해 제1, 제2 패키지(10A, 10B)가 전기적으로 접촉되도록 하는 것이다.

본 발명에 의한 비엘피의 다른 실시예가 있는 경우는 다음과 같다.

즉, 전술한 일실시예에서는 반도체 칩과 전기적으로 연결되는 인쇄회로기판에 다수개의 비아홀을 형성하고, 그 비아홀의 연통되는 숀더홀이 각각 형성되는 상, 하부 서브스트레이트를 상기 인쇄회로기판의 상, 하면에 각각 부착하여, 그 서브스트레이트종에서 상부 서브스트레이트의 숀더홀에 외부단자용 숀더볼을 부착하는 것이었으나, 본 발명에서의 비엘피(20)는 도 7에 도시된 바와 같이, 다수개의 숀더홀(21a)이 형성되는 하부 서브스트레이트(21)와, 그 하부 서브스트레이트(21)의 상면에 접착제(22)로 부착되며 숀더홀(21a)과 연통되도록 다수개의 비아홀(23a)이 형성된 인쇄회로기판(23)과, 그 인쇄회로기판(23)의 상면에 접착제(24)로 부착됨은 물론 각 비아홀(23a)과 연통되도록 숀더홀(25a)이 다수개 형성되는 상부 서브스트레이트(25)와, 상기 인쇄회로기판(23)의 각 비아홀(23a) 상단에 복개되는 상부 숀더패드(26A)와, 상기 인쇄회로기판(23)의 각 비아홀(23a) 하단에 복개되는 하부 숀더패드(26B)와, 그 하부 숀더패드(26B)의 저면에 부착되는 외부단자용 숀더볼(27)과, 상기 인쇄회로기판(23)의 중앙부에 삽입되어 하부 서브스트레이트(21)의 상면에 부착되는 반도체 칩(4)과, 그 반도체 칩(4)과 인쇄회로기판(23)을 전기적으로 연결되는 와이어(5)와, 그 와이어(5)를 보호하도록 물딩되는 봉지부(6)로 구성된다.

도면 중 종래와 동일한 부분에 대하여는 동일한 부호를 부여하였다.

도면 중 미설명 부호인 28은 숀더 마스크이다.

이를 위하여는 도 8a 내지 도 8e에 도시된 바와 같이, 상기 인쇄회로기판(23)의 적정부위에 다수개의 비아홀(23a)을 형성하는 단계와, 그 인쇄회로기판(23)의 상면에 열방출용 상부 서브스트레이트(25)를 부착시키는 단계와, 상기 인쇄회로기판(23)의 각 비아홀(23a)에 대향되는 상부 서브스트레이트(25)의 적정부위를 부식시켜 숀더홀(25a)을 형성하는 단계와, 그 각 숀더홀(25a)의 내주면에 숀더 마스크(28)를 입힌 후에 비아홀(23a)을 오픈시키는 단계와, 상기 인쇄회로기판(23)의 중앙부에 캐비티(미부호)를 형성함과 아울러 그 저면에 하부 서브스트레이트(21)를 부착하는 단계와, 상기 인쇄회로기판(23)의 캐비티에 반도체 칩(4)을 부착함과 아울러 와이어(5)로 그 칩(4)과 인쇄회로기판(23)을 연결시키는 단계와, 그 와이어(5)를 물딩하여 봉지부(6)를 형성하는 단계와, 상기 인쇄회로기판(23)의 각 비아홀(23a)에 대향되는 하부 서브스트레이트(21)의 적정부위를 부식시켜 숀더홀(21a)을 형성하는 단계와, 상기 인쇄회로기판(23)의 각 비아홀(23a) 하단에 숀더패드(26B)를 덮고 숀더볼(27)을 부착하는 단계로 수행한다.

이와 같은 비엘피를 적층하는 과정은 도 10a 내지 도 10c에 도시되어 있다.

먼저, 하부 서브스트레이트(21)의 숀더홀(21a)에 숀더볼(27)이 각각 부착된 제1 패키지(20A)의 상부 서브스트레이트(25)의 숀더홀(25a) 상단에 숀더 패이스트(29)를 인쇄하는 한편, 하부 서브스트레이트(21)의 숀더홀(21a)에 숀더볼(27)이 각각 부착된 제2 패키지(20B)의 숀더볼(27)이 상기 제1 패키지(20A)의 패이스트(29) 상면에 얹히도록 정열한 이후에, 통상적인 리플로우 공정을 통해 제1, 제2 패키지(20A, 20B)가 전기적으로 접촉되도록 하는 단계로 수행하는 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 비엘피는, 반도체 칩과 전기적으로 연결되는 인쇄회로기판에 다수개의 비아홀이 형성되고, 그 비아홀의 연통되는 숀더홀이 각각 형성되는 상, 하부 서브스트레이트가 상기 인쇄회로기판의 상, 하면에 각각 부착되며, 그 서브스트레이트종에서 어느 하나의 서브스트레이트의 숀더홀에 외부단자용 숀더볼을 부착하여 구성함으로써, 패키지의 열방출효과가 현저하게 향상되는 것은 물론 소음에도 강하게 되고, 또한 적층하더라도 경박단소한 패키지를 실현할 수 있게 되는 효과가 있다.

(57) 청구의 범위

청구항 1.

하부 서브스트레이트와, 그 하부 서브스트레이트의 상면에 부착되며 다수개의 비아홀이 형성된 인쇄회로기판과, 그 인쇄회로기판의 상면에 부착됨은 물론 각 비아홀과 연통되는 숀더홀이 다수개 형성되는 상부 서브스트레이트와, 상기 인쇄회로기판의 각 비아홀 상단에 복개되는 숀더패드와, 그 숀더패드의 상면에 부착되는 외부단자용 숀더볼과, 상기 인쇄회로기판의 중앙부에 삽입되어 서브스트레이트의 상면에 부착되는 반도체 칩과, 그 반도체 칩과 인쇄회로기판을 전기적으로 연결되는 와이어와, 그 와이어를 보호하도록 물딩되는 봉지부로 구성되는 것을 특징으로 하는 반도체 패키지.

청구항 2.

소정의 인쇄회로기판의 적정부위에 다수개의 비아홀을 형성하는 단계와, 그 인쇄회로기판의 상면에 열방출용 상부 서브스트레이트를 부착시키는 단계와, 상기 인쇄회로기판의 각 비아홀에 대향되는 상부 서브스트레이트의 적정부위를 부식시켜 숀더홀을 형성하는 단계와, 그 각 숀더홀의 내주면에 마스크를 입힌 후에 비아홀을 오픈시키는 단계와, 상기 인쇄회로기판의 중앙부에 캐비티를 형성함과 아울러 그 저면에 하부 서브스트레이트를 부착하는 단계와, 상기 인쇄회로기판의 캐비티에 반도체 칩을 부착함과 아울러 와이어로 그 칩과 인쇄회로기판을 연결시키는 단계와, 그 와이어를 물딩하여 봉지부를 형성하는 단계와, 상기 인쇄회로기판의 각 비아홀 상단에 숀더패드를 덮고 숀더볼을 부착하는 단계로 수행함을 특징으로 하는 반도체 패키지의 제조방법.

청구항 3.

상부 서브스트레이트의 숀더홀에 숀더볼이 각각 부착된 제1 패키지를 뒤집어 그 패키지의 하부 서브스트레이트에 숀더홀을 형성하는 단계와, 그 제1 패키지의 하부 서브스트레이트의 숀더홀 상단에 숀더 패이스트를 인쇄하는 단계와, 상부 서브스트레이트의 숀더홀에 숀더볼이 각각 부착된 제2 패키지를 뒤집어 그 숀더볼이 상기 제1 패키지의 패이스트 상면에 얹히도록 열라인 하는 단계와, 통상적인 리플로우 공정을 통해 제1, 제2 패키지가 전기적으로 접촉되도록 하는 단계로 수행함을 특징으로 하는 반도체 패키지의 적층방법.

청구항 4.

다수개의 술더홀이 형성되는 하부 서브스트레이트와, 그 하부 서브스트레이트의 상면에 부착되어 술더홀과 연통되도록 다수개의 비아홀이 형성된 인쇄회로기판과, 그 인쇄회로기판의 상면에 부착됨은 물론 각 비아홀과 연통되도록 술더홀이 다수개 형성되는 상부 서브스트레이트와, 상기 인쇄회로기판의 각 비아홀 상단에 복개되는 하부 술더패드와, 상기 인쇄회로기판의 각 비아홀 하단에 복개되는 상부 술더패드와, 그 2 술더패드의 저면에 부착되는 외부단자용 술더홀과, 상기 인쇄회로기판의 중앙부에 삽입되어 서브스트레이트의 상면에 부착되는 반도체 칩과, 그 반도체 칩과 인쇄회로기판을 전기적으로 연결되는 와이어와, 그 와이어를 보호하도록 물딩되는 봉지부로 구성되는 것을 특징으로 하는 반도체 패키지.

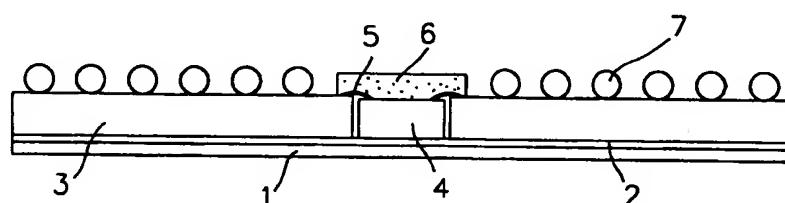
청구항 5.

소정의 인쇄회로기판의 적정부위에 다수개의 비아홀을 형성하는 단계와, 그 인쇄회로기판의 상면에 열방출용 상부 서브스트레이트를 부착시키는 단계와, 상기 인쇄회로기판의 각 비아홀에 대향되는 상부 서브스트레이트의 적정부위를 부식시켜 술더홀을 형성하는 단계와, 그 각 술더홀의 내주면에 마스크를 입힌 후에 비아홀을 오픈시키는 단계와, 상기 인쇄회로기판의 중앙부에 캐비티를 형성함과 아울러 그 저면에 하부 서브스트레이트를 부착하는 단계와, 상기 인쇄회로기판의 캐비티에 반도체 칩을 부착함과 아울러 와이어로 그 칩과 인쇄회로기판을 연결시키는 단계와, 그 와이어를 물딩하여 봉지부를 형성하는 단계와, 상기 인쇄회로기판의 각 비아홀에 대향되는 하부 서브스트레이트의 적정부위를 부식시켜 술더홀을 형성하는 단계와, 상기 인쇄회로기판의 각 비아홀 하단에 술더패드를 덮고 술더홀을 부착하는 단계로 수행함을 특징으로 하는 반도체 패키지의 제조방법.

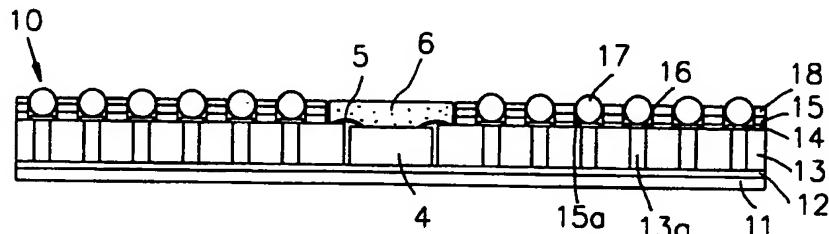
청구항 6.

하부 서브스트레이트의 술더홀에 술더홀이 각각 부착된 제1 패키지의 상부 서브스트레이트의 술더홀 상단에 술더 패이스트를 인쇄하는 단계와, 하부 서브스트레이트의 술더홀에 술더홀이 각각 부착된 제2 패키지의 술더홀이 상기 제1 패키지의 패이스트 상면에 얹히도록 얼라인 하는 단계와, 통상적인 리플로우 공정을 통해 제1, 제2 패키지가 전기적으로 접촉되도록 하는 단계로 수행함을 특징으로 하는 반도체 패키지의 적층방법.

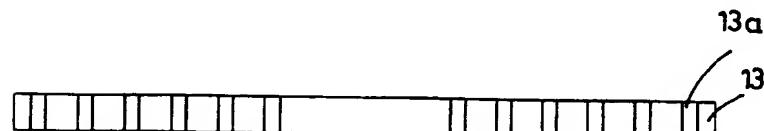
도면 1



도면 2



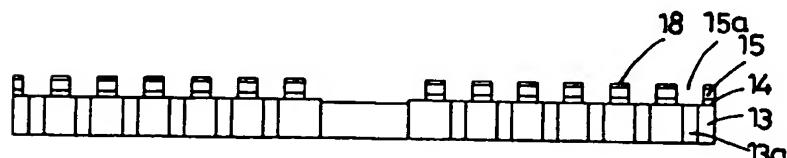
도면 3a



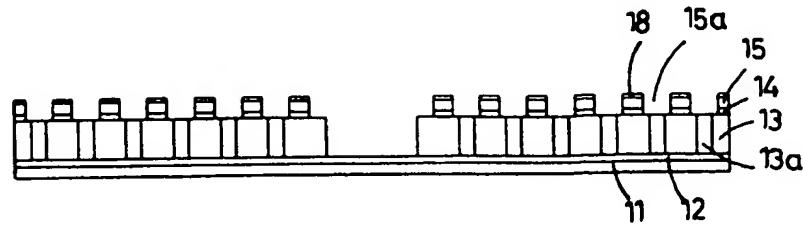
도면 3b



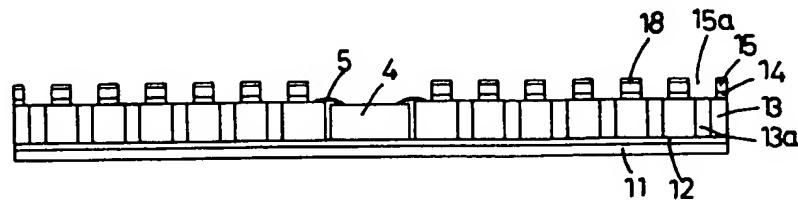
도면 3c



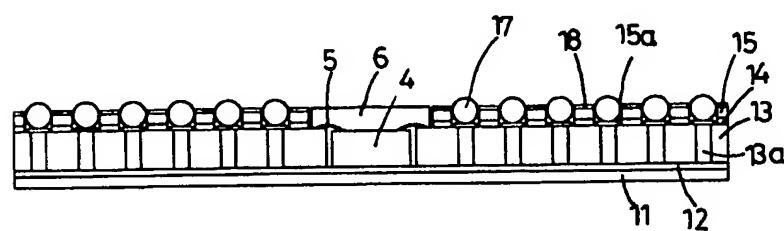
도면 3d



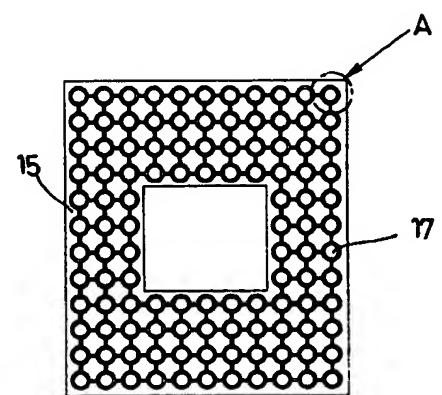
도면 3e



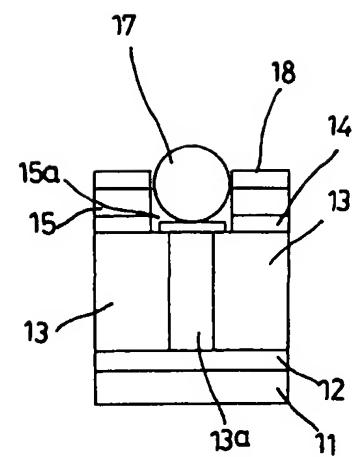
도면 3f



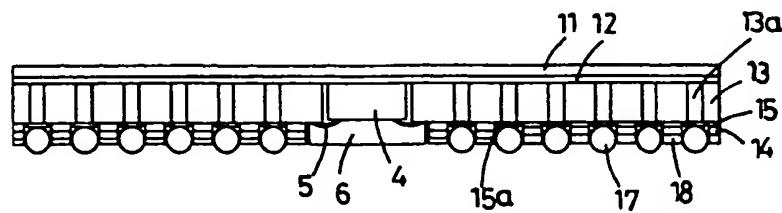
도면 4a



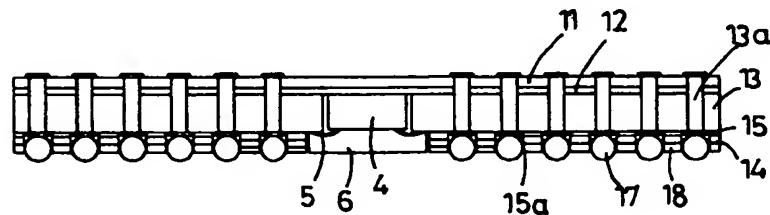
도면 4b



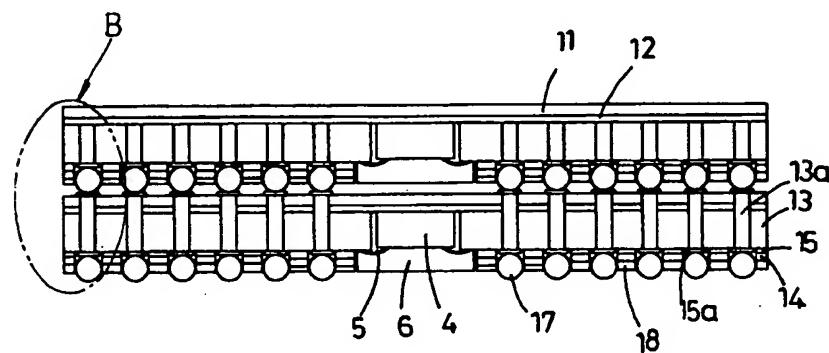
도면 5a



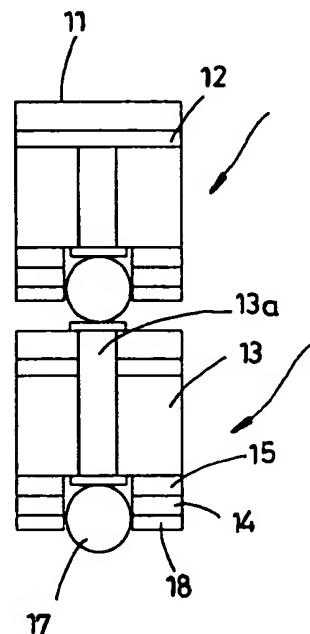
도면 5b



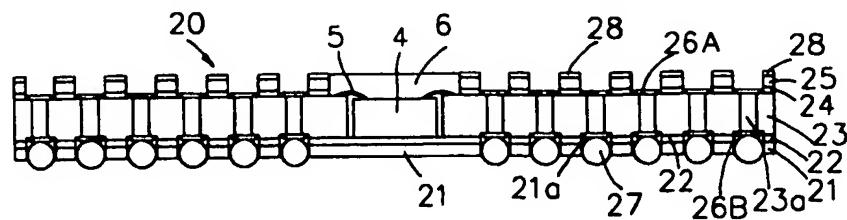
도면 5c



도면 6



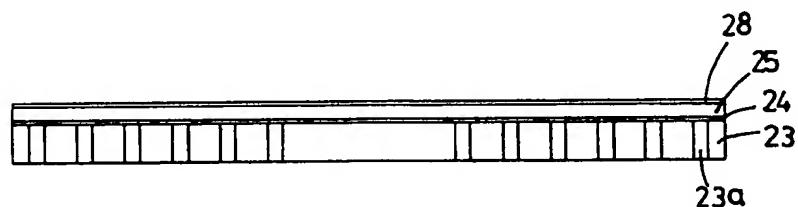
도면 7



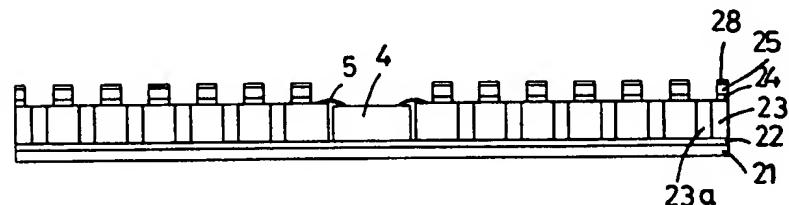
도면 8a



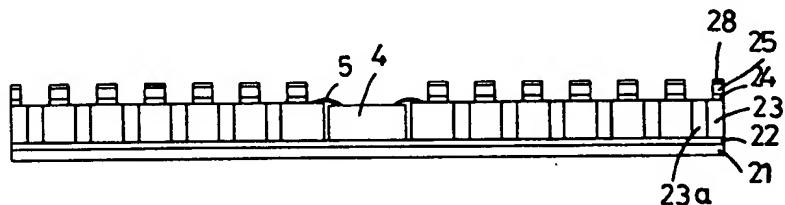
도면 8b



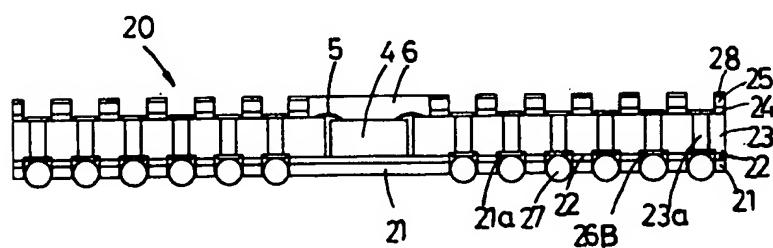
도면 8c



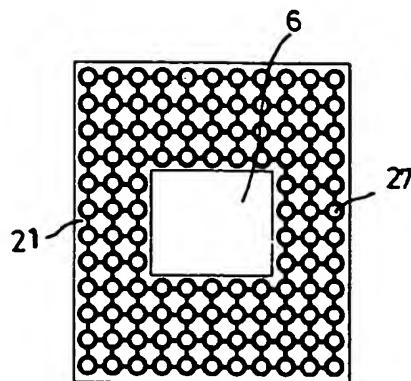
도면 8d



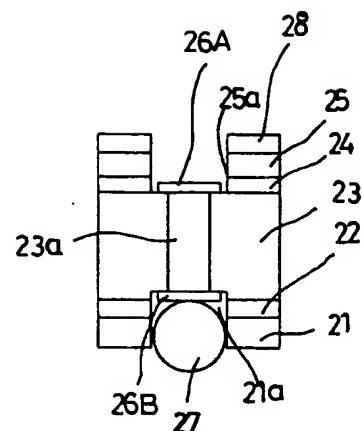
도면 8e



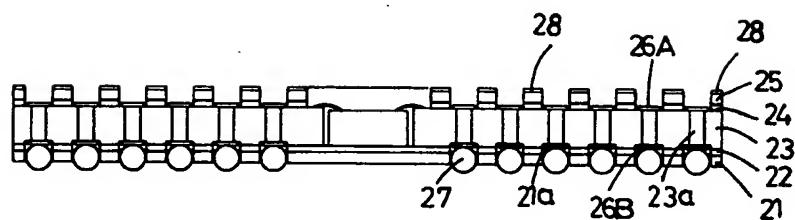
도면 9a



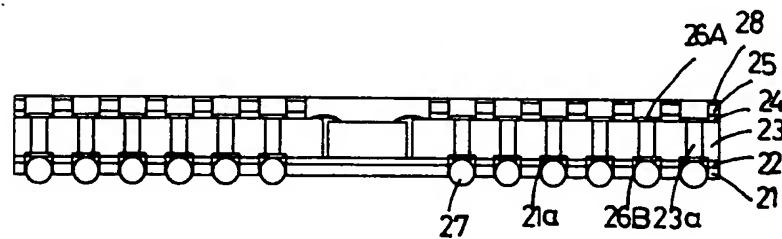
도면 9b



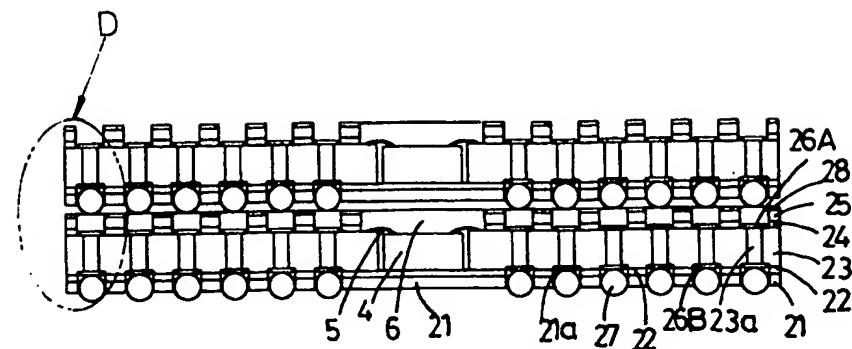
도면 10a



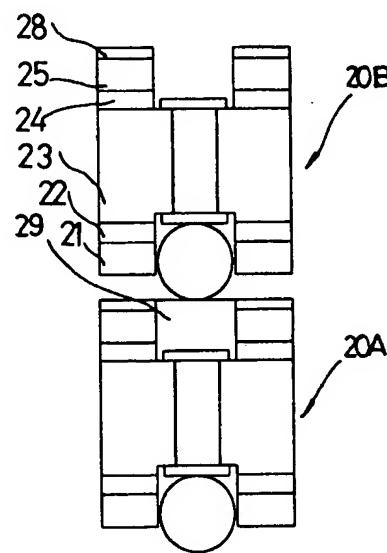
도면 10b



도면 10c



도면 11



THIS PAGE PLAIN (USPTO)